

PATENT ABSTRACTS OF JAPAN

B 17

(11)Publication number : 09-246989

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H03M 7/40

H04N 1/41

H04N 7/24

(21)Application number : 08-051734

(71)Applicant : CANON INC

(22)Date of filing : 08.03.1996

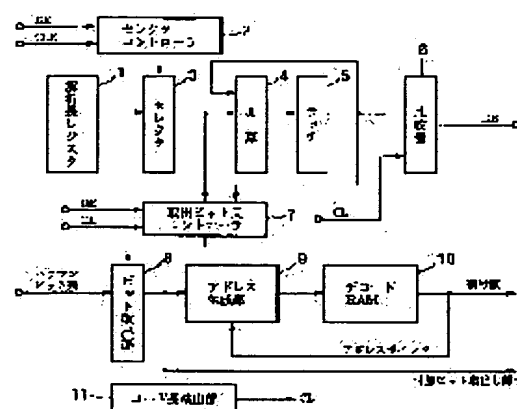
(72)Inventor : MITA YOSHINOBU

(54) DECODER AND METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a decoder and the method capable of shortening a one word length further without providing an address length corresponding to the maximum length of a variable length code in a decoding table for decoding the variable length code such as a Huffman code or the like.

SOLUTION: An analysis length less than the maximum length is selected from an analysis length register 1 for the variable length code and a decoding RAM 10 is accessed based on an address generated from the code for the analysis length extracted by a bit take-out part 8. It is repeated until the entire length of the variable length code is ended and a decoding value is finally obtained. Also, at the time of the access of a final stage, based on decoding end signals outputted from a comparator 6, the analysis length is controlled to minimum in a take-out bit length controller 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246989

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 7/40		9382-5K	H 0 3 M 7/40	
H 0 4 N 1/41			H 0 4 N 1/41	B
7/24			7/13	Z

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21) 出願番号 特願平8-51734

(22) 出願日 平成8年(1996)3月8日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 三田 良信

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

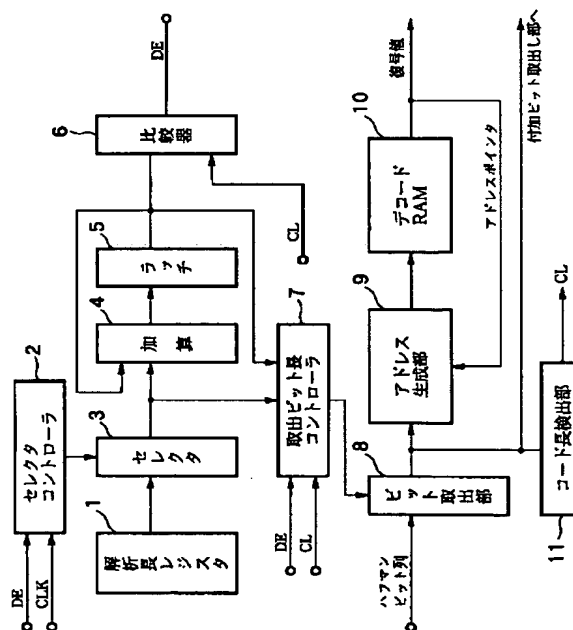
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 復号装置及びその方法

(57) 【要約】

【課題】 可変長符号を復号するためのデコードテーブルにおいて、可変長符号をアドレスとして該テーブルへのアクセスを行っていたため、可変長符号の最大長に応じたアドレス長を必要とし、テーブル容量が増大していた。

【解決手段】 可変長符号についてその最大長以下である解析長を解析長レジスタ1から選択し、ビット取出部8により抽出された該解析長分の符号より生成されたアドレスに基づいてデコードRAM10をアクセスする。これを可変長符号の全長が終了するまで繰り返し、最終的に復号値が得られる。また、最終段階のアクセス時には、比較器6より出力されるデコードエンド信号に基づき、取出ビット長コントローラ7において解析長を最低限に制御する。



1

【特許請求の範囲】

【請求項 1】 可変長符号を復号するために解析する解析長を決定する解析長決定手段と、

前記可変長符号を前記解析長毎に入力する入力手段と、
前記可変長符号を前記解析長毎に解析して復号する復号手段と、

前記可変長符号の符号長を検出する符号長検出手段と、
前記符号長に基づいて、前記復号手段における前記可変長符号の復号終了を検知して復号終了信号を発生する終了検知手段と、を有し、
前記解析長決定手段は、前記復号終了信号に基づいて解析長を制御することを特徴とする復号装置。

【請求項 2】 前記解析長は、前記可変長符号の最大ビット数以下であることを特徴とする請求項 1 記載の復号装置。

【請求項 3】 前記復号手段は、復号値又はアドレスポインタを保持する復号テーブルと、該復号テーブルにおけるアドレス情報を生成するアドレス生成手段とを有し、該アドレス情報に従って前記復号テーブルへアクセスすることにより、初回の解析を行うこと特徴とする請求項 2 記載の復号装置。

【請求項 4】 前記復号手段は、前記初回の解析によって前記復号値が得られなかった場合に、前記復号テーブルにより前記復号値が得られるまで前記アドレスポインタに基づいて解析を繰り返すことを特徴とする請求項 3 記載の復号装置。

【請求項 5】 前記アドレス生成手段は、前記可変長符号のビット列に基づいて前記アドレス情報を生成することを特徴とする請求項 3 記載の復号装置。

【請求項 6】 前記解析長決定手段は、何回目の解析であるかに応じて解析長を決定することを特徴とする請求項 1 記載の復号装置。

【請求項 7】 前記解析長決定手段は、前記可変長符号の種類に応じて解析長を決定することを特徴とする請求項 1 又は 6 記載の復号装置。

【請求項 8】 前記解析長決定手段は、レジスタに予め保持された値を選択することを特徴とする請求項 6 乃至 7 のいずれかに記載の復号装置。

【請求項 9】 前記解析長決定手段は、最後の解析の際に、前記符号長検出手段により検出された符号長に基づいて解析長を短縮することを特徴とする請求項 6 乃至 8 のいずれかに記載の復号装置。

【請求項 10】 前記符号長検出手段は、前記可変長符号をその同ビット長の 2 進数における最大値と比較することによって符号長を検出することを特徴とする請求項 1 記載の復号装置。

【請求項 11】 前記符号長検出手段は、前記可変長符号をその同ビット長の 2 進数における最小値と比較することによって符号長を検出することを特徴とする請求項 1 記載の復号装置。

2

【請求項 12】 前記可変長符号はハフマン符号であることを特徴とする請求項 1 乃至 11 のいずれかに記載の復号装置。

【請求項 13】 前記前記解析長決定手段は、ハフマン符号の成分に応じて解析長を決定することを特徴とする請求項 12 記載の復号装置。

【請求項 14】 可変長符号を復号するために解析する解析長を決定する解析長決定工程と、
前記可変長符号を前記解析長毎に入力する入力工程と、
前記可変長符号を前記解析長毎に解析して復号する復号工程と、

前記可変長符号の符号長を検出する符号長検出工程と、
前記符号長に基づいて、前記復号手段における前記可変長符号の復号終了を検知して復号終了信号を発生する終了検知工程と、を有し、

前記解析長決定工程においては、前記復号終了信号に基づいて解析長を制御することを特徴とする復号方法。

【請求項 15】 前記解析長は、前記可変長符号の最大ビット数以下であることを特徴とする請求項 14 記載の復号方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は復号装置及びその方法に関し、例えば、テーブルを用いて可変長符号を復号する復号装置及びその方法に関する。

【0002】

【従来の技術】近年の通信装置や情報処理装置の発達に伴い、より効率的なデータ通信や、より効率的なデータ格納を行うために、データの符号化は不可欠の技術となり、種々の符号化方法が提案されている。

【0003】符号化方法としては、符号が必ずしも固定長でない可変長符号化方式として、ハフマン符号化方法が良く知られている。

【0004】このハフマン符号の復号（デコード）を行う方法としては、例えばハフマン符号の最長符号が 16 ビット長ならば、アドレス長 16 ビットのハフマン符号のデコードテーブルを備え、一回のテーブルアクセスにより、復号結果及び復号コード長を該テーブル内容から読み出していた。

【0005】又、ハフマン符号の別の復号方法としては、ハフマン符号を n ビットずつ解析し、その n ビットをテーブルアドレスとしてデコードテーブルを読み出すことにより、復号を行う方法がある。この方法においては、1 回のアクセスで復号できないコード（コード長が n ビットよりも長いコード）に対しては、該テーブルの対応するワード内に保持されたリファレンスアドレスを読み出して、次の n ビットのハフマン符号を該リファレンスアドレスに加算して新たなアドレスを作成し、該アドレスによりテーブルをアクセスして新たなワードを読み出していた。この動作を復号が完全に終了するまで繰

り返すことにより、コード長が長いハフマン符号であっても、適切な復号を可能としていた。

【0006】

【発明が解決しようとする課題】しかしながら上記従来例においては、まず一回のテーブル検索により復号を行う方式では、ハフマン符号の最大長をアドレス長としてデコードテーブルを作成する必要があるため、テーブル容量が過大となってしまう。従って、ディスクメモリを使用しない復号装置等には不向きであった。

【0007】又、nビットずつの解析を行ってテーブルアドレスを作成する方法においても、テーブルの1ワード内に復号したコードのコード長を含めたり、復号処理の途中や終了を知らせるフラグを設けたりする必要があり、従って1ワード長のビット数が多くなるため、テーブル容量の十分な削減はできなかった。

【0008】本発明は上述した課題を解決するためになされたものであり、ハフマン符号等の可変長符号を復号するためのデコードテーブルにおいて、可変長符号の最大長に応じたアドレス長を持つことなく、更に1ワード長の短縮を可能とした復号装置及びその方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した目的を達成するための一手段として、本発明の復号装置は以下の構成を備える。

【0010】即ち、可変長符号を復号するために解析する解析長を決定する解析長決定手段と、前記可変長符号を前記解析長毎に入力する入力手段と、前記可変長符号を前記解析長毎に解析して復号する復号手段と、前記可変長符号の符号長を検出する符号長検出手段と、前記符号長に基づいて、前記復号手段における前記可変長符号の復号終了を検知して復号終了信号を発生する終了検知手段とを有し、前記解析長決定手段は、前記復号終了信号に基づいて解析長を制御することを特徴とする。

【0011】例えば、前記解析長は、前記可変長符号の最大ビット数以下であることを特徴とする。

【0012】例えば、前記復号手段は、復号値又はアドレスポインタを保持する復号テーブルと、該復号テーブルにおけるアドレス情報を生成するアドレス生成手段とを有し、該アドレス情報に従って前記復号テーブルへアクセスすることにより、初回の解析を行うこと特徴とする。

【0013】例えば、前記復号手段は、前記初回の解析によって前記復号値が得られなかった場合に、前記復号テーブルにより前記復号値が得られるまで前記アドレスポインタに基づいて解析を繰り返すことを特徴とする。

【0014】例えば、前記アドレス生成手段は、前記可変長符号のビット列に基づいて前記アドレス情報を生成することを特徴とする。

【0015】例えば、前記解析長決定手段は、何回目の

解析であるかに応じて解析長を決定することを特徴とする。

【0016】例えば、前記解析長決定手段は、前記可変長符号の種類に応じて解析長を決定することを特徴とする。

【0017】例えば、前記解析長決定手段は、レジスタに予め保持された値を選択することを特徴とする。

【0018】例えば、前記解析長決定手段は、最後の解析の際に、前記符号長検出手段により検出された符号長に基づいて解析長を短縮することを特徴とする。

【0019】例えば、前記符号長検出手段は、前記可変長符号をその同ビット長の2進数における最大値と比較することによって符号長を検出することを特徴とする。

【0020】例えば、前記符号長検出手段は、前記可変長符号をその同ビット長の2進数における最小値と比較することによって符号長を検出することを特徴とする。

【0021】例えば、前記可変長符号はハフマン符号であることを特徴とする。

【0022】例えば、前記前記解析長決定手段は、ハフマン符号の成分に応じて解析長を決定することを特徴とするまた、上述した目的を達成するための一手法として、本発明の復号方法は以下の工程を備える。

【0023】即ち、可変長符号を復号するために解析する解析長を決定する解析長決定工程と、前記可変長符号を前記解析長毎に入力する入力工程と、前記可変長符号を前記解析長毎に解析して復号する復号工程と、前記可変長符号の符号長を検出する符号長検出工程と、前記符号長に基づいて、前記復号手段における前記可変長符号の復号終了を検知して復号終了信号を発生する終了検知工程とを有し、前記解析長決定工程においては、前記復号終了信号に基づいて解析長を制御することを特徴とする。

【0024】例えば、前記解析長は、前記可変長符号の最大ビット数以下であることを特徴とする。

【0025】

【発明の実施の形態】以下、本発明に係る一実施形態について図面を参照して詳細に説明する。

【0026】＜第1実施形態＞図1に、本実施形態の復号装置のブロック構成を示す。図1における主な構成について説明すると、1は復号の際にビット列解析を行うビット長を指定するレジスタ、3は適当な解析長を選択するセレクタ、8は符号化されたハフマンコードのビット列から解析に必要な解析長分を取り出すビット取出部、9は抽出されたビット列よりデコードテーブルへのアドレスを生成するアドレス生成部、10はデコードテーブルを格納するデコードRAMである。

【0027】尚、本実施形態においては1つのコードを復号するために、デコードRAM10に複数回のアクセスを行うことを特徴とする。以下、デコードRAM10への1回のアクセスを解析と称し、第n回目のアクセス

を第n段階目の解析と称する。

【0028】上述した構成において、まずビット取出部8は、ハフマン符号が連続するハフマンビット列より、デコードのための解析に必要なだけの解析長に基づきビット列を抽出する。1つのコードに対する第1段階目の解析においては、アドレス生成部9はビット取出部8から抽出されたビット列をそのままアドレスとしてデコードRAM10に与え、デコードRAM10内の該アドレスに対応するワードより、復号値又はアドレスポインタが得られる。この結果は、後述する比較器6の出力信号（デコードエンド信号DE）により、復号値かアドレスポインタかが区別される。

【0029】ここで、もし第1段階目の解析で復号値が得られずに、アドレスポインタが得られた場合には、第2段階目の解析が行われる。ビット取出部8より第2段階目の解析長のビット列が抽出されると、アドレス生成部9においては、前段階、即ち第1段階目に取り出されたアドレスポインタに、第2段階目の抽出で得られたビット列を加算することにより新たなアドレスを生成する。そして、該新たなアドレスをデコードRAM10に与えることにより、復号値又はアドレスポインタが得られる。

【0030】ここで、第1段階目の解析の場合と同様に、比較器6の出力により復号の終了状態が分かる。即ち、復号が終了しない場合には、新たなアドレスポインタが得られる。そして第3段階目の解析が行われるが、第3段階目以降は第2段階目と同様の動作を行うため、説明は省略する。このように、最終的な復号値が得られるまで、同じ動作が繰り返される。

【0031】本実施形態における第1段階目、第2段階目等のビット列の解析長は、解析長レジスタ1に格納されている。ここでハフマンコードは、例えばJPEG標準圧縮のように、異なる成分に対する符号が交互に混在することもあり、各成分に応じて最適な解析ビット長を持つ。従って解析長レジスタ1には、図2に示すように、各段階、及び符号種別（成分）に応じた解析ビット長が格納されている。もちろん、図2に示す解析ビット長はあくまでも一例であり、例えば全ての解析ビット長が等しくても良く、復号対象の符号や装置の処理速度等に応じて、デコードRAMが最適なサイズとなるように適宜設定すれば良い。

【0032】このように、複数の解析長を有する解析長レジスタ1から必要な解析長を判断するのがセクタコントローラ2である。セクタコントローラ2においては、1回の解析に同期して発生するクロック信号CLK、及び復号終了を示す比較器6の出力であるデコードエンド信号DEを入力して、今回の解析が何段階目の解析であるか、また、どの成分に対する解析であるかを判断する。そして、セクタ3に対して解析長レジスタ1においてどの解析長を選択するかの指示を出力し、セ

クタ3で該解析長が選択出力される。

【0033】セクタ3の出力は、取出しビット長コントローラ7に入力される。ビット長コントローラ7では、該解析長が第1段階目以外のものであり、かつ、その段階でデコードが終了し、かつ、該解析長がその時点で復号途中のハフマンコードの未解析の残りビットよりも長いかなかを判断する。該判断が真であれば、該解析長を未解析の残りビット長に置き換える。そして、ビット取出部8に対して、該解析長を抽出すべきビット数として指示する。

【0034】このように、解析長をハフマンコードにおける未解析の残りビット長に置き換えることにより、デコードRAM10に与えるアドレスのビット幅が狭くなり、デコードRAM10の容量を削減することができる。

【0035】セクタ3の出力は加算器4の一方入力端子にも与えられる。加算器4の他方入力端子にはラッチ5の出力も接続されるが、ラッチ5は、処理の開始時、及び各ハフマン符号の復号毎に出力値がクリアされるようになっている。加算器4の出力は再びラッチ5で保持されるので、ラッチ5の出力は、現在復号中であるハフマン符号の、その時点までに解析した合計のビット数となる。この出力値は比較器6の一方端子に入力され、比較器6の他方端子には、該ハフマン符号のコード長CL（code length）が入力されている。比較器6では、解析した合計のビット数がコード長CL以上であると判断すると、その時点で復号が終了したことを示すデコードエンド信号DE（decode end）を発生する。

【0036】又、コード長検出部11においては、最長のハフマン符号長と同じビット数のバッファを有しており、ビット取出部8において抽出されたハフマン符号のビット列を順次入力して該バッファを埋める。これにより即ち、コード長検出部11内に少なくとも1つのハフマン符号が保持される。そして、コード長検出部11においては、保持されたビット列の先頭に位置するハフマン符号のコード長CLを求めて出力する。尚、コード長検出部11におけるコード長の検出方法の詳細については後述する。

【0037】ここで図3に、デコードRAM10の内部構成を示す。図3によれば、デコードRAM10はハフマン符号に対応する成分毎に別々のテーブルが用意されている。これは、その時点で復号中の成分のテーブルが選択されるように、アドレス空間を別々にしても良いし、1つアドレス空間に4つのテーブルを直列に配置して、0番地からのオフセットの番地をデコードRAM10にアクセスするアドレスに加えるようにしても良い。

【0038】デコードRAM10のワード構成例を図4の（a）に示す。即ち、デコードRAM10のワード構成としては、復号値又はアドレスポインタのみが格納されており、復号の終了を示すフラグや復号コード長を示

10

20

30

40

50

7
す情報を必要としない。又、デコードRAM10による復号値の例を図4の(b)に示す。図4の(b)はJPEG標準のADCT圧縮によるDCT係数のゼロランと、ゼロランに続く有効係数(付加ビット)のビット幅(サイズ)とがカテゴリとしてそれぞれ4ビットずつとられている。

【0039】次に、図5に、取出ビット長コントローラ7の簡単な内部ブロック図を示す。ラッチ21には、ラッチ5から出力される解析の合計ビット数が入力されており、従ってラッチ21にも同じ値が保持される。そして、減算器22においてこの合計ビット数と復号処理中のハフマンコード長CLの差分が求められる。この差分は、復号が終了する最終段階では復号処理中のハフマンコードの未解析の残りビット長に相当する。従って、復号の最終段階において、該差分がセレクトア23を経由してビット取出し部8に与えられる。

【0040】又、セレクトア23にはセレクトア3より与えられた次解析ビット長(next CL)も与えられており、復号の最終段階以外の段階においては、セレクトア23は次解析ビット長を選択して出力する。又、復号が1段階で終了する場合、セレクトア23は次解析ビット長を選択する。

【0041】ところで、ビット取出部8では、1つのハフマン符号の復号が終了する毎に、不図示の付加ビット取出し部にデータを供給する。これは、JPEG標準符号の復号を行う際に、前記カテゴリで示されたサイズのビット数を、付加ビットとして取り出す必要があるためである。

【0042】以下、コード長検出部11の詳細構成について説明する。図6に、コード長検出部11の詳細ブロック構成を示す。

【0043】まず、コード長検出部11における動作原理について説明する。JPEG標準圧縮の場合、nビットの符号長を有するコードについて考えると、同一符号長(nビット)のコードは2進数順に連続している。そして、符号長が1ビット長いn+1ビットであるコードは、nビットの2進の最大値より1大きい値を2倍した(1ビット左シフトして0を付加した)値である。従って、各符号長における最大値と、該符号長と同じ長さのビット列とを比較すると、その最大値以下のビット列は、該符号長に等しいか、又は該符号長よりも短いということになる。本実施形態におけるコード長検出部7においては、この性質を利用している。

【0044】以下、ハフマンコード中における最大符号長がnビットであるとする。図6において、レジスタ41-1, ..., 41-k, ..., 41-nには、それぞれ1ビット, ..., kビット, ..., nビットの符号中の最大値が格納されている。これらのレジスタの値は、比較器42-1, ..., 42-k, ..., 42-nに与えられる。また、バッファ44はnビットの容量を有しており、ピッ

ト取出部8から入力されたnビットの符号データが保持されている。

【0045】比較器42-i ($1 \leq i \leq n$; iは整数)には、iビット長の41-iのレジスタ出力が一方入力端子Bに、バッファ44に保持されているデータの先頭からiビットまでが他方入力端子Aに入力され、この2つの値の大小が比較される。

【0046】ここで、例えば符号長がkビットであるとすると、比較器42-kから42-nまでにおける比較結果が $A \leq B$ となり、比較結果として"1"が出力される。又、比較器42-1から42-(k-1)までにおける比較結果が $A > B$ となり、比較結果として"0"が出力される。

【0047】比較器42-1から42-nの出力はブライオリティエンコーダ43に入力され、図7に示す真理値表に従ってハフマンコード長CLが出力される。これが即ち、ビット取出部8において出力される、一番先頭のハフマンコードのコード長CLとなる。

【0048】尚、比較器42-nの出力は常に"1"となるので、比較器42-n及びレジスタ41-nは省略することも可能である。従って、コード長検出部11においては、レジスタ及び比較器はn-1個あれば十分であり、ブライオリティエンコーダ43もn-1ビットの入力を備えていれば良い。

【0049】以上説明した様に本実施形態によれば、符号のビット列を1回又は複数回に分けて数段階に解析して復号を行うことにより、各段階の解析ビット数を自由に設定でき、あらゆる組み合わせ、及び段階数の内、最小のテーブル量のデコードRAMを実現できる。

【0050】又、デコードRAMを小さい容量に抑えて、その範囲の中であらゆる組み合わせの中から最速の解析ビット長構成を選択することも可能になった。

【0051】更に、復号の最終段階の解析ビット数を予め設定された値以下に制限する機能を設けたことにより、より低容量のデコードRAMが実現できる。

【0052】更に、復号する符号のコード長を検出する手段を設けたことにより、デコードRAMのワード構成を復号値又はアドレスポインタのみに制限し、復号終了フラグやコード長を書き込む必要がなくなったため、更なる小容量化されたデコードRAMが実現できる。

【0053】<第2実施形態>以下、本発明に係る第2実施形態について説明する。

【0054】第2実施形態においては、コード長検出部11の他の実現方法について説明する。尚、第2実施形態におけるコード長検出部11の詳細構成は、上述した第1実施形態に示す図6と同様であるため、説明を省略する。

【0055】第2実施形態においては、各レジスタ41-1~41-nに対して、各符号長の最大値ではなく最小値を設定することを特徴とする。この場合、比較器4

2-1~42-nにおいては、 $A < B$ である場合に比較結果"1"を出力し、 $A \geq B$ である場合に"0"を出力する。

【0056】この場合のプライオリティエンコーダ43における真理値表は、図8のようになる。この場合、比較器42-1の出力は常に"0"となるため、比較器42-1及びレジスタ41-1は省略できることは言うまでもない。従って、コード長検出部11においては、レジスタ及び比較器はn-1個あれば十分であり、プライオリティエンコーダ43もn-1ビットの入力を備えていけば良い。

【0057】従って、プライオリティエンコーダ43は上述した第1実施形態と共通のものが使用可能であるが、第1実施形態と第2実施形態においては、プライオリティエンコーダ43における真理値表(図7、8)に示される様に、その出力が1ずれた値となる。従って、第2実施形態において第1実施形態と共通のプライオリティエンコーダを使用する場合には、"+1"の補正が必要となる。

【0058】以上説明した様に第2実施形態によれば、コード長検出部11における比較条件を異ならせても、上述した第1実施形態と同様の効果が得られる。

【0059】<第3実施形態>以下、本発明に係る第3実施形態について説明する。

【0060】上述した第1実施形態では比較器6において、解析した合計のビット数がコード長CL以上であれば、その時点で復号が終了したことを示すデコードエンド信号DEを発生する例について説明した。第3実施形態においては、デコードエンド信号DEを他の方法により発生させることを特徴とする。

【0061】図9に、第3実施形態において復号の終了する段階を検出するための構成、即ち、デコードエンド信号DEを発生させる構成を示す。図9における比較器30では、次の段階でのビット列の解析長、即ち次解析長(next CL)及び、図5に示す取出ビット長コントローラ7における減算器22で得られるハフマンコードの未解析の残りビット長(last CL)が比較される。そして、未解析残りビット長(last CL)が次解析ビット長(next CL)以下であれば、復号の最終段階であるとして、デコードエンド信号DEを発生する。

【0062】以上説明した様に第3実施形態によれば、第1実施形態とは異なる構成で、復号の終了段階を検出することが可能であり、従って第1実施形態と同様の効果が得られる。

【0063】<他の実施形態>なお、本発明は、複数の機器(例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0064】また、本発明の目的は、前述した実施形態

の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読出し実行することによっても、達成されることは言うまでもない。

【0065】この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0066】プログラムコードを供給するための記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモ리카ード、ROMなどを用いることができる。

【0067】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS(オペレーティングシステム)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0068】さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0069】

【発明の効果】以上説明した様に本発明によれば、ハフマン符号のビット列を1回又は複数回に分けて数段階に解析して復号を行うことにより、各段階の解析ビット数を自由に設定でき、あらゆる組み合わせ、及び段階数の内、最小のテーブル量のデコードRAMを実現できる。

【0070】又、デコードRAMを小さい容量に抑えて、その範囲の中であらゆる組み合わせの中から最速の解析ビット長構成を選択することも可能になった。

【0071】更に、復号の最終段階の解析ビット数を予め設定された値以下に制限する機能を設けたことにより、より低容量のデコードRAMを実現することができ

る。

【0072】更に、復号する符号のコード長を検出する手段を設けることにより、デコードRAMのワード構成を復号値又はアドレスポインタのみに制限し、復号終了フラグやコード長を書き込む必要がなくなったため、デコードRAMの更なる小容量化が可能となった。

【0073】

【図面の簡単な説明】

【図1】本発明に係る一実施形態である復号装置の構成を示すブロック図である。

【図2】本実施形態における解析長レジスタの内容を説明するための図である。

【図3】本実施形態におけるデコードRAMの内容例を示す図である。

【図4】本実施形態におけるデコードRAMのワード構成を示す図である。

【図5】本実施形態における取出ビット長コントローラの構成を示すブロック図である。

【図6】本実施形態におけるコード長検出部の詳細構成を示すブロック図である。

【図7】本実施形態におけるブライオリティエンコーダの真理値表を示す図である。

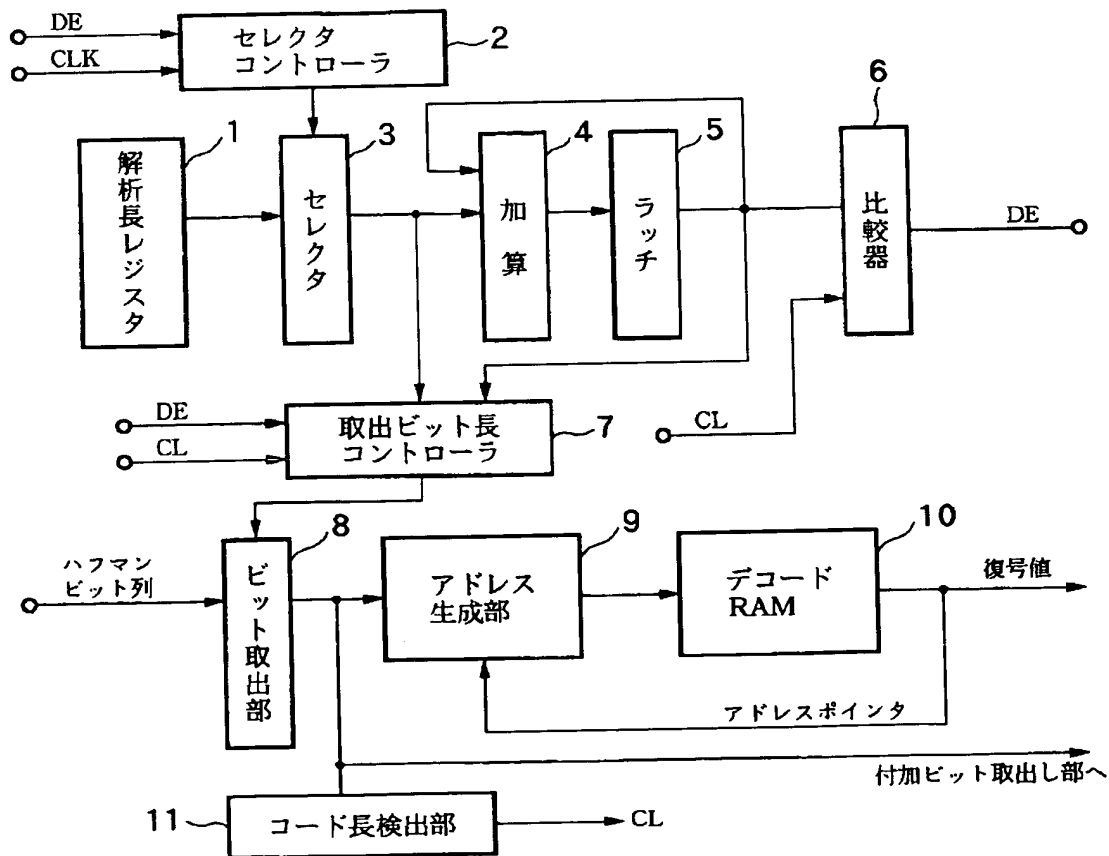
【図8】第2実施形態におけるブライオリティエンコーダの真理値表を示す図である。

【図9】第3実施形態において復号終了段階を検出する構成を示す図である。

【符号の説明】

- * 1 解析長レジスタ
- 2 セレクタコントローラ
- 3 セレクタ
- 4 加算器
- 5 ラッチ
- 6 比較器
- 7 取出ビット長コントロール部
- 8 ビット取出部
- 9 アドレス生成部
- 10 デコードRAM
- 11 コード長検出部
- 21 ラッチ
- 22 減算器
- 23 セレクタ
- 30 比較器
- 41-1~41-n レジスタ
- 42-1~42-n 比較器
- 43 ブライオリティエンコーダ
- * 44 バッファ

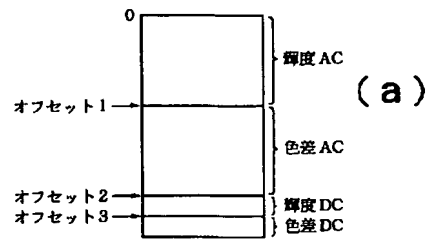
【図1】



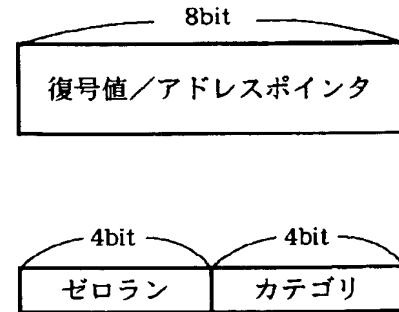
【図2】

段階 成分	1	2	3	4	5
輝度 DC	5	3	3	-	-
輝度 AC	6	5	5	-	-
色差 DC	4	3	2	2	-
色差 AC	6	4	4	-	-

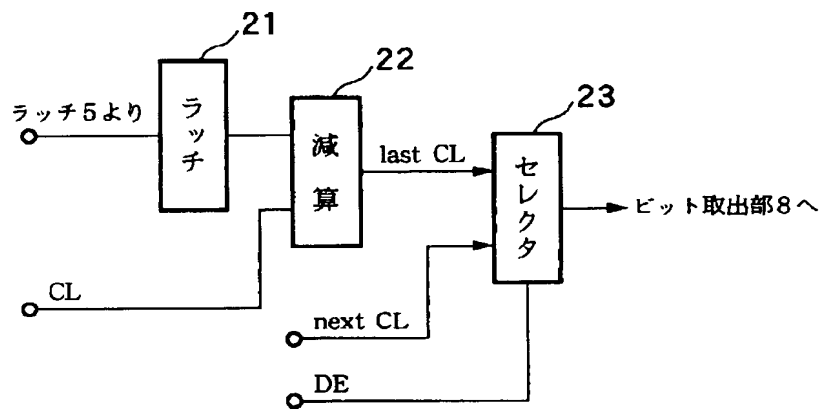
【図3】



【図4】



【図5】



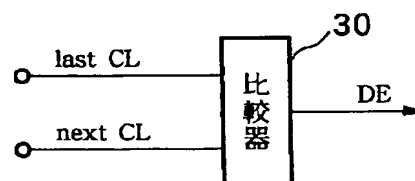
【図7】

入 力											出 力
1	2	3	...	k	...	n					コード長
1	1	1	...	1	...	1	1	1	1	1	1
0	1	1	...	1	...	1	1	1	1	1	2
											⋮
0	0	...	0	1	...	1	1	1	1	1	k
											⋮
0	0	0	0	0	0	0	1				n

【図8】

入 力											出 力
1	2	3	...	k	...	n					コード長
0	1	1	...	1	...	1					1
0	0	1	...	1	...	1					2
											⋮
0	...	0	1	...	1						k
											⋮
0	0					n

【図9】



【図6】

